

PATENT OFFICE  
JAPANESE GOVERNMENT

#2/ Priority Paper  
DENIED  
8.3.99

1c594 U.S. PTO  
09/338597  
06/23/99

This is to certify that the annexed is a true copy  
of the following application as filed with this office.

Date of Application: June 25, 1998

Application Number: Japanese Patent Application  
No. 10-178315

Applicant(s) FUJITSU LIMITED

January 8, 1999

Commissioner,  
Patent Office

Takeshi Isayama (Seal)

Certificate No.10-3104003

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT

JCS94 U.S. PTO  
09/338597  
06/23/99

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
in this Office.

出 願 年 月 日  
Date of Application:

1998年 6月25日

出 願 番 号  
Application Number:

平成10年特許願第178315号

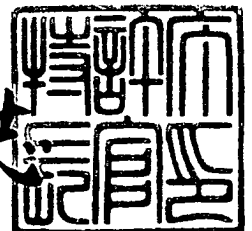
出 願 人  
Applicant(s):

富士通株式会社

1999年 1月 8日

特許庁長官  
Commissioner,  
Patent Office

伴佐山 建志



【書類名】 特許願

【整理番号】 9802762

【提出日】 平成10年 6月25日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 13/16  
G11C 11/34

【発明の名称】 電子装置及び半導体記憶装置

【請求項の数】 11

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 鈴木 孝章

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 田口 眞男

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 佐藤 光徳

【特許出願人】

    【識別番号】 000005223

    【氏名又は名称】 富士通株式会社

【代理人】

    【識別番号】 100092174

    【弁理士】

    【氏名又は名称】 平戸 哲夫

    【電話番号】 03-3374-7129

【手数料の表示】

【予納台帳番号】 030993

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705046

【プルーフの要否】 要

【書類名】 明細書  
【発明の名称】 電子装置及び半導体記憶装置

【特許請求の範囲】

【請求項 1】

出力データと共に出力データの取り込みタイミングを知らせる出力ストロープ信号を出力し、入力データの取り込みタイミングを知らせる入力ストロープ信号に同期させて入力データの取り込みを行う半導体記憶装置を備える電子装置であって、

前記出力ストロープ信号として相補出力ストロープ信号を使用し、前記入力ストロープ信号として相補入力ストロープ信号を使用するように構成されていることを特徴とする電子装置。

【請求項 2】

相補出力ストロープ信号の周期の開始を示す前記相補出力ストロープ信号の先頭のクロスポイントの前の一定時間をプリアンプル時間とされ、この時間、正相出力ストロープ信号と逆相出力ストロープ信号とは異なるレベルとされ、

相補入力ストロープ信号の周期の開始を示す前記相補入力ストロープ信号の先頭のクロスポイントの前の一定時間をプリアンプル時間とされ、この時間、正相入力ストロープ信号と逆相入力ストロープ信号とは異なるレベルとされることを特徴とする請求項 1 記載の電子装置。

【請求項 3】

相補出力ストロープ信号の周期の終了を示す前記相補出力ストロープ信号のクロスポイントの後の一定時間をポストアンプル時間とされ、この時間、正相出力ストロープ信号と逆相出力ストロープ信号とは異なるレベルとされ、

相補入力ストロープ信号の周期の終了を示す前記相補入力ストロープ信号のクロスポイントの後の一定時間をポストアンプル時間とされ、この時間、正相入力ストロープ信号と逆相入力ストロープ信号とは異なるレベルとされることを特徴とする請求項 2 記載の電子装置。

【請求項 4】

前記相補出力ストロープ信号のプリアンプル時間のレベルは、リードコマンド

をトリガーとしてセットされ、

前記相補入カストロブ信号のプリアンプル時間のレベルは、ライトコマンドをトリガーとしてセットされることを特徴とする請求項 3 記載の電子装置。

【請求項 5】

前記相補出カストロブ信号のプリアンプル時間のレベルは、先頭の実出力データの出力時の一定時間前にセットされ、前記相補入カストロブ信号のプリアンプル時間のレベルは、先頭の入力データの出力時の一定時間前にセットされることを特徴とする請求項 3 記載の電子装置。

【請求項 6】

ストロブ信号線を駆動するトランジスタを駆動するトランジスタは、待機時間の間、オフ状態とされることを特徴とする請求項 5 記載の電子装置。

【請求項 7】

相補出カストロブ信号線と相補入カストロブ信号線とが別個に設けられている場合においては、

相補出カストロブ信号は、出力データが連続する偶数データの場合、待機時間の間、ポストアンプル時間と同一のレベルを維持するように設定され、

相補入カストロブ信号は、入力データが連続する偶数データの場合、待機時間の間、ポストアンプル時間と同一のレベルを維持するように設定されることを特徴とする請求項 3 記載の電子装置。

【請求項 8】

相補出カストロブ信号線と相補入カストロブ信号線とが別個に設けられている場合においては、

相補出カストロブ信号は、出力データが連続する奇数データの場合、待機時間の間、ポストアンプル時間と同一のレベルを維持し、次のサイクル時におけるプリアンプル時間の開始時に、元のレベルに戻すように制御され、

相補入カストロブ信号は、入力データが連続する奇数データの場合、待機時間の間、ポストアンプル時間と同一のレベルを維持し、次のサイクル時におけるプリアンプル時間の開始時において、元のレベルに戻すように制御されることを特徴とする請求項 3 記載の電子装置。

【請求項 9】

前記相補出力ストロブ信号のクロスポイントは、出力データのエッジトリガーポイントを与え、

前記相補入力ストロブ信号のクロスポイントは、入力データのエッジトリガーポイントを与えることを特徴とする請求項 1、2、3、4、5、6、7 又は 8 記載の電子装置。

【請求項 10】

前記相補出力ストロブ信号のクロスポイントは、出力データのセンタポイントを与え、

前記相補入力ストロブ信号のクロスポイントは、入力データのセンタポイントを与えることを特徴とする請求項 1、2、3、4、5、6、7 又は 8 記載の電子装置。

【請求項 11】

出力データと共に出力データの取り込みタイミングを知らせる出力ストロブ信号を出力し、入力データの取り込みタイミングを知らせる入力ストロブ信号に同期させて入力データの取り込みを行う半導体記憶装置であって、

ストロブ出力バッファとして、相補出力ストロブ信号を出力するストロブ出力バッファを有すると共に、ストロブ入力バッファとして、相補入力ストロブ信号を入力して入力データの取り込みを制御するストロブ入力バッファを有していることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、出力データと共に出力データの取り込みタイミングを知らせる出力ストロブ信号を出力し、入力データの取り込みタイミングを知らせる入力ストロブ信号に同期させて入力データの取り込みを行う半導体記憶装置を備える電子装置、及び、半導体記憶装置に関する。

【0002】

【従来技術】

図15は従来の電子装置の一例の一部分を示す回路図である。図15中、1はクロック信号の立ち上がりエッジ及び立ち下がりエッジに同期して動作する従来のダブル・データ・レート・シンクロナス・ダイナミック・ランダム・アクセス・メモリ（以下、DDR-SDRAMという）の一例であり、この電子装置は、同一構成の複数のDDR-SDRAMと、これら複数のDDR-SDRAMをコントロールするコントロールチップとを備えているものである。

【0003】

また、2は正相クロック信号CLKを伝送する正相クロック信号線、3は正相クロック信号CLKと逆相関係にある逆相クロック信号／CLKを伝送する逆相クロック信号線、4はコマンド信号を伝送するコマンドバス、5はロウアドレス信号及びコラムアドレス信号を伝送するアドレスバス、6はデータを伝送するデータバスである。

【0004】

また、7はDDR-SDRAM1等のDDR-SDRAMから出力データDQ<sub>OUT</sub>と共に出力される出力データDQ<sub>OUT</sub>の取り込みタイミングを知らせる出力ストロブ信号QS<sub>OUT</sub>をコントロールチップに伝送し、コントロールチップから入力データDQ<sub>IN</sub>と共に出力される入力データDQ<sub>IN</sub>の取り込みタイミングを知らせる入力ストロブ信号QS<sub>IN</sub>をDDR-SDRAM1等のDDR-SDRAMに伝送するストロブ信号線である。

【0005】

図16はDDR-SDRAM1の要部を示す回路図であり、図16中、9はコマンドバス4を伝送されてくるコマンド信号を入力するためのコマンドバッファ、10はコマンドバッファ9から出力されるコマンド信号をデコードするコマンドデコーダ、11はコマンドデコーダ10から出力されるコマンドデコード信号を入力してコマンドの内容に従って内部回路を制御するコントローラである。

【0006】

また、12はアドレスバス5を伝送されてくるロウアドレス信号及びコラムアドレス信号を入力するためのアドレスバッファ、13-1、13-mはアドレスバッファ12から出力されるロウアドレス信号及びコラムアドレス信号をラッチ



するアドレスラッチである。

【0007】

また、14-1、14-mはバンクであり、バンク14-1において、15-1はメモリセルが配列されたメモリセルアレイ、16-1はアドレスラッチ14-1にラッチされたロウアドレス信号をデコードしてワード線の選択を行うロウデコーダである。

【0008】

また、17-1は選択されたワード線によって選択されたメモリセルから読み出されたデータを増幅するセンスアンプが配列されたセンスアンプ列、18-1はアドレスラッチ13-1にラッチされたコラムアドレス信号をデコードしてコラムの選択を行うコラムデコーダである。

【0009】

また、バンク14-mにおいて、15-mはメモリセルが配列されたメモリセルアレイ、16-mはアドレスラッチ13-mにラッチされたロウアドレス信号をデコードしてワード線の選択を行うロウデコーダである。

【0010】

また、17-mは選択されたワード線によって選択されたメモリセルから読み出されたデータを増幅するセンスアンプが配列されたセンスアンプ列、18-mはアドレスラッチ13-mにラッチされたコラムアドレス信号をデコードしてコラムの選択を行うコラムデコーダである。

【0011】

また、19-1はバンク14-1からコアデータバスCDB1に出力されたりードデータを増幅するデータバスバッファ、20-1はコアデータバスCDB1にライトデータを出力するためのライトバッファである。

【0012】

また、19-mはバンク14-mからコアデータバスCDBmに出力されたりードデータを増幅するデータバスバッファ、20-mはコアデータバスCDBmにライトデータを出力するためのライトバッファである。

【0013】

また、DBは周辺データバス、21は出力データ $DQ_{OUT}$ を外部に出力するためのデータ出力バッファ、22は外部から並列Nビット構成の入力データ $DQ_{IN}$ を入力するためのデータ入力バッファである。

【0014】

また、23は出力ストロブ信号 $QS_{OUT}$ を出力するストロブ出力バッファ、24は入力ストロブ信号 $QS_{IN}$ を入力して入力データ $DQ_{IN}$ の取り込みタイミングを制御するストロブ入力バッファである。

【0015】

図17はDDR-SDRAM1からのデータ出力時における相補クロック信号CLK、 $\overline{CLK}$ と、出力ストロブ信号 $QS_{OUT}$ と、出力データ $DQ_{OUT}$ との関係を示す波形図である。

【0016】

図17中、 $t_{CKQS}$ はクロック信号CLKからのQSアクセス時間 (QS Access Time from CLK)、 $t_{QSPRE}$ はQSプリアンプル時間 (QS Preamble Time)、 $t_{QSPST}$ はQSポストアンプル時間 (QS Postamble Time) である。

【0017】

また、 $t_{QSQ}$ はストロブ信号QSからの出力データ・スキュー (Data Output Skew from QS)、 $t_{AC}$ はストロブ信号QSからのデータ・アクセス時間 (Data Access Time from QS)、 $t_{DV}$ は出力データ確定時間 (Data Output Valid Time) である。

【0018】

図18はDDR-SDRAM1へのデータ入力時における相補クロック信号CLK、 $\overline{CLK}$ と、入力ストロブ信号 $QS_{IN}$ と、入力データ $DQ_{IN}$ との関係を示す波形図である。

【0019】

図18中、 $t_{DH}$ はストロブ信号QSからの入力データ・セットアップ時間 (Data Input set up time from QS)、 $t_{DS}$ はストロブ信号QSからの入力データ・ホールド時間 (Data Input hold time from QS) である。

【0020】

この電子装置は、データバス 6 と同じ環境を持ったストロブ信号線 7 を設け、DDR-SDRAM から出力データ  $DQ_{OUT}$  と共に出力ストロブ信号  $QS_{OUT}$  を伝送し、出力ストロブ信号  $QS_{OUT}$  から見た出力データ  $DQ_{OUT}$  の確定時間を一定とし、コントロールチップによる出力データ  $DQ_{OUT}$  の受け取りの容易化を図ると共に、コントロールチップから入力データ  $DQ_{IN}$  と共に入力ストロブ信号  $QS_{IN}$  を伝送し、入力ストロブ信号  $QS_{IN}$  から見た入力データ  $DQ_{IN}$  の確定時間を一定とし、DDR-SDRAM による入力データ  $DQ_{IN}$  の受け取りの容易化を図るというものである。

## 【0021】

## 【発明が解決しようとする課題】

しかし、ストロブ信号  $QS_{OUT}$ 、 $QS_{IN}$  の立ち上がり時間と立ち下がり時間とが異なると、ストロブ周期が一定とならず、このため、データ  $DQ_{OUT}$ 、 $DQ_{IN}$  の確定時間が一定とならず、データ  $DQ_{OUT}$ 、 $DQ_{IN}$  の取り込みのタイミングが取りにくく、ストロブ周期が短くなると、たとえば、ストロブ周期が 4 ns 以下となると、データ  $DQ_{OUT}$ 、 $DQ_{IN}$  のやりとりが不確実になるおそれがあるという問題点があった。

## 【0022】

本発明は、かかる点に鑑み、出力データの取り込みタイミングを知らせる出力ストロブ信号を出力し、入力データの取り込みタイミングを知らせる入力ストロブ信号に同期させて入力データの取り込みを行う半導体記憶装置を有する電子装置であって、ストロブ周期が短くなっても、データのやりとりを確実に行うことができるようにした電子装置、及び、このような電子装置に使用することができる半導体記憶装置を提供することを目的とする。

## 【0023】

## 【課題を解決するための手段】

本発明中、第 1 の発明は、出力データと共に出力データの取り込みタイミングを知らせる出力ストロブ信号を出力し、入力データの取り込みタイミングを知らせる入力ストロブ信号に同期させて入力データの取り込みを行う半導体記憶装置を備える電子装置であって、出力ストロブ信号として相補出力ストロブ

信号を使用し、入力ストロブ信号として相補入力ストロブ信号を使用するように構成されているというものである。

【0024】

本発明中、第1の発明によれば、出力ストロブ信号として相補出力ストロブ信号を使用しているため、相補出力ストロブ信号の立ち上がり時間と立ち下がり時間とが異なる場合であっても、相補出力ストロブ信号の周期（相補出力ストロブ信号のクロスポイント間の時間）は一定となる。したがって、出力データの確定時間（確定幅）を一定とすることができる。

【0025】

また、入力ストロブ信号として相補入力ストロブ信号を使用しているため、相補入力ストロブ信号の立ち上がり時間と立ち下がり時間とが異なる場合であっても、相補入力ストロブ信号の周期（相補入力ストロブ信号のクロスポイント間の時間）は一定となる。したがって、入力データの確定時間（確定幅）を一定とすることができる。

【0026】

本発明中、第2の発明は、出力データと共に出力データの取り込みタイミングを知らせる出力ストロブ信号を出力し、入力データの取り込みタイミングを知らせる入力ストロブ信号に同期させて入力データの取り込みを行う半導体記憶装置であって、ストロブ出力バッファとして、相補出力ストロブ信号を出力するストロブ出力バッファを有すると共に、ストロブ入力バッファとして、相補入力ストロブ信号を入力して入力データの取り込みを制御するストロブ入力バッファを有しているというものである。

【0027】

本発明中、第2の発明によれば、ストロブ出力バッファとして、相補出力ストロブ信号を出力するストロブ出力バッファを有すると共に、ストロブ入力バッファとして、相補入力ストロブ信号を入力して入力データの取り込みを制御するストロブ入力バッファを有しているため、第1の発明に使用することができる。

【0028】

## 【発明の実施の形態】

以下、図1～図14を参照して、本発明の電子装置の一実施形態及び本発明の半導体記憶装置の一実施形態について説明する。

## 【0029】

図1は本発明の電子装置の一実施形態の一部分を示すブロック回路図である。図1中、26はDDR-SDRAMの一種であるファースト・サイクル・ランダム・アクセス・メモリ（以下、FCRAMという）であり、本発明の半導体記憶装置の一実施形態である。本発明の電子装置の一実施形態は、同一構成の複数のFCRAMと、これら複数のFCRAMをコントロールするコントロールチップとを備えているものである。

## 【0030】

また、27は正相クロック信号CLKを伝送する正相クロック信号線、28は正相クロック信号CLKと逆相関係にある逆相クロック信号/ $\overline{\text{CLK}}$ を伝送する逆相クロック信号線、29はコマンド信号を伝送するコマンドバス、30はロウアドレス信号及びコラムアドレス信号を伝送するアドレスバス、31はデータを伝送するデータバスである。

## 【0031】

また、32はFCRAM26等から出力データ $\text{DQ}_{\text{OUT}}$ と共に出力される出力データ $\text{DQ}_{\text{OUT}}$ の取り込みタイミングを知らせる正相出力ストロブ信号 $\text{QS}_{\text{OUT}}$ をコントロールチップに伝送し、コントロールチップから入力データ $\text{DQ}_{\text{IN}}$ と共に出力される入力データ $\text{DQ}_{\text{IN}}$ の取り込みタイミングを知らせる正相入力ストロブ信号 $\text{QS}_{\text{IN}}$ をFCRAM26等に伝送する正相ストロブ信号線である。

## 【0032】

また、33はFCRAM26等から出力される正相出力ストロブ信号 $\text{QS}_{\text{OUT}}$ と逆相関係にある逆相出力ストロブ信号/ $\overline{\text{QS}_{\text{OUT}}}$ をコントロールチップに伝送し、コントロールチップから出力される正相入力ストロブ信号 $\text{QS}_{\text{IN}}$ と逆相関係にある逆相入力ストロブ信号/ $\overline{\text{QS}_{\text{IN}}}$ をFCRAM26等に伝送する逆相ストロブ信号線である。

## 【0033】

図2はFCRAM26の要部を示す回路図であり、図2中、35はコマンドバス29を伝送されてくるコマンド信号を入力するためのコマンドバッファ、36はコマンドバッファ35から出力されるコマンド信号をデコードするコマンドデコーダである。

【0034】

また、37はアドレスバス30を伝送されてくるロウアドレス信号及びコラムアドレス信号を入力するためのアドレスバッファ、38-1、38-mはアドレスバッファ37から出力されるロウアドレス信号及びコラムアドレス信号をラッチするアドレスラッチである。

【0035】

また、39-1、39-mはバンクであり、バンク39-1において、40-1はメモリセルが配列されたメモリセルアレイ、41-1はアドレスラッチ38-1にラッチされたロウアドレス信号をデコードしてワード線を選択を行うロウデコーダである。

【0036】

また、42-1は選択されたワード線によって選択されたメモリセルから読み出されたデータを増幅するセンスアンプが配列されたセンスアンプ列、43-1はアドレスラッチ38-1にラッチされたコラムアドレス信号をデコードしてコラムの選択を行うコラムデコーダである。

【0037】

また、44-1はコマンドデコーダ36から出力されるコマンドデコード信号を入力してコマンドの内容に従ってコラムデコーダ43-1やセンスアンプ列42-1等を制御するアクティブ・プリコントローラである。

【0038】

また、バンク39-mにおいて、40-mはメモリセルが配列されたメモリセルアレイ、41-mはアドレスラッチ38-mにラッチされたロウアドレス信号をデコードしてワード線を選択を行うロウデコーダである。

【0039】

また、42-mは選択されたワード線によって選択されたメモリセルから読み

出されたデータを増幅するセンスアンプが配列されたセンスアンプ列、43-mはアドレスラッチ38-mにラッチされたコラムアドレス信号をデコードしてコラムの選択を行うコラムデコーダである。

【0040】

また、44-mはコマンドデコーダ36から出力されるコマンドデコード信号を入力してコマンドの内容に従ってコラムデコーダ43-mやセンスアンプ列42-m等を制御するアクティブ・プリコントローラである。

【0041】

なお、FCRAM26は、例えば、バースト長を複数に設定することができ、このようにされた場合には、リード時、選択されたバンクから複数個のデータが並列して読み出されるように動作し、ライト時、複数個の平行データを選択されたバンクに書き込むことができるように構成されているものである。

【0042】

また、45-1はバンク39-1からコアデータバスCDB1に出力されたりリードデータを増幅するデータバスバッファ、46-1はコアデータバスCDB1にライトデータを出力するためのライトバッファである。

【0043】

また、45-mはバンク39-mからコアデータバスCDBmに出力されたりリードデータを増幅するデータバスバッファ、46-mはコアデータバスCDBmにライトデータを出力するためのライトバッファである。

【0044】

また、47は選択されたバンクに対応するデータバスバッファから伝送されてくる平行データをシリアル化する平行/シリアル変換回路、48は平行/シリアル変換回路47から出力されるシリアル化された並列Nビット構成の出力データ $DQ_{OUT1} \sim DQ_{OUTN}$ を外部に出力するためのデータ出力バッファである。

【0045】

また、49は外部から並列Nビット構成の入力データ $DQ_{IN1} \sim DQ_{INN}$ を入力するためのデータ入力バッファ、50はデータ入力バッファ49から出力され

る並列Nビット構成の入力データ $DQ_{IN1} \sim DQ_{INN}$ のそれぞれを平行化するシリアル／パラレル変換回路である。

【0046】

また、51は正相出力ストロブ信号 $QS_{OUT}$ を正相ストロブ信号線32に出力し、逆相出力ストロブ信号 $/QS_{OUT}$ を逆相ストロブ信号線33に出力するストロブ出力バッファである。

【0047】

また、52は正相ストロブ信号線32を伝送されてくる正相入力ストロブ信号 $QS_{IN}$ 及び逆相ストロブ信号線33を伝送されてくる逆相入力ストロブ信号 $/QS_{IN}$ を入力するストロブ入力バッファである。

【0048】

図3はデータ出力バッファ48及びストロブ出力バッファ51の構成を示す回路図である。図3中、 $mCLK$ は内部クロック、 $DE$ はデータイネーブル信号、 $mDQ_{OUT1}$ 、 $mDQ_{OUT2}$ 、 $mDQ_{OUTN}$ は内部出力データ、 $mQS_{OUT}$ は内部出力ストロブ信号である。

【0049】

また、データ出力バッファ48において、54、55は内部クロック信号 $mCLK$ にオン、オフが制御されるnMOSトランジスタ、56は内部クロック信号 $mCLK$ を反転するインバータ、57、58はインバータ56の出力によりオン、オフが制御されるpMOSトランジスタである。

【0050】

また、59はデータイネーブル信号 $DE$ をラッチするインバータ60、61からなるラッチ回路、62はラッチ回路59の出力をラッチするインバータ63、64からなるラッチ回路である。

【0051】

また、65-1は内部出力データ $mDQ_{OUT1}$ とラッチ回路62の出力とをNAND処理するNAND回路、65-2は内部出力データ $mDQ_{OUT2}$ とラッチ回路62の出力とをNAND処理するNAND回路、65-Nは内部出力データ $mDQ_{OUTN}$ とラッチ回路62の出力とをNAND処理するNAND回路である



【0052】

また、66-1、66-2、66-Nは、それぞれ、NAND回路65-1、65-2、65-Nの出力を反転増幅して出力データ $DQ_{OUT1}$ 、 $DQ_{OUT2}$ 、 $DQ_{OUTN}$ を出力するスリーステートインバータである。

【0053】

また、ストロブ出力バッファ51において、67は内部出力ストロブ信号 $mQS_{OUT}$ とデータイネーブル信号DEとをNAND処理するNAND回路、68は内部出力ストロブ信号 $mQS_{OUT}$ を反転するインバータ、69はインバータ68の出力とデータイネーブル信号DEとをNAND処理するNAND回路である。

【0054】

また、70はNAND回路67の出力を反転増幅して正相出力ストロブ信号 $QS_{OUT}$ を出力するスリーステートインバータ、71はNAND回路69の出力を反転増幅して逆相出力ストロブ信号 $/QS_{OUT}$ を出力するスリーステートインバータである。

【0055】

このように構成されたデータ出力バッファ48及びストロブ出力バッファ51においては、データイネーブル信号 $DE=H$ レベルとなり、内部クロック $mCLK=H$ レベルとなると、ストロブ出力バッファ51においては、NAND回路67、69が活性化され、内部出力ストロブ信号 $mQS_{OUT}$ に対応した相補出力ストロブ信号 $QS_{OUT}$ 、 $/QS_{OUT}$ が出力される。

【0056】

また、データ出力バッファ48においては、ラッチ回路59の出力= $L$ レベル、ラッチ回路62の出力= $H$ レベルとなり、NAND回路65-1～65-Nが活性化され、内部出力データ $mDQ_{OUT1} \sim mDQ_{OUTN}$ に対応した出力データ $DQ_{OUT1} \sim DQ_{OUTN}$ が出力されることになる。

【0057】

図4はデータ入力バッファ49及びストロブ入力バッファ52の構成を示す

回路図である。図4中、ストロブ入力バッファ52において、73、74はストロブクロック $QS-CLK$ を生成するための差動アンプであり、差動アンプ73は、正相入力端子に正相入力ストロブ信号 $QS_{IN}$ が入力され、逆相入力端子に逆相入力ストロブ信号 $\neg QS_{IN}$ が入力され、差動アンプ74は、正相入力端子に逆相入力ストロブ信号 $\neg QS_{IN}$ が入力され、逆相入力端子に正相入力ストロブ信号 $QS_{IN}$ が入力される。

【0058】

また、データ入力バッファ49において、75-1、75-2、75-Nはストロブ入力バッファ52から出力されるストロブクロック $QS-CLK$ に同期して、それぞれ、入力データ $DQ_{IN1}$ 、 $DQ_{IN2}$ 、 $DQ_{IN N}$ をラッチするシンクロナス・フリップフロップ回路(SFF)である。

【0059】

図5はFCRAM26からのデータ出力時における相補クロック信号 $CLK$ 、 $\neg CLK$ と、相補出力ストロブ信号 $QS_{OUT}$ 、 $\neg QS_{OUT}$ と、連続2ビットの出力データ $DQ_{OUT}=RD1$ 、 $RD2$ との関係を示す波形図である。

【0060】

即ち、本発明の電子装置の一実施形態においては、相補出力ストロブ信号 $QS_{OUT}$ 、 $\neg QS_{OUT}$ の周期の開始を示す相補出力ストロブ信号 $QS_{OUT}$ 、 $\neg QS_{OUT}$ の先頭のクロスポイントの前の一定時間をプリアンプ時間 $tQSPRE$ とされる。

【0061】

そして、プリアンプ時間 $tQSPRE$ においては、正相出力ストロブ信号 $QS_{OUT}=L$ レベル、逆相出力ストロブ信号 $\neg QS_{OUT}=H$ レベルとされ、このレベルは、リードコマンド $RD-CMD$ をトリガーとしてセットされる。

【0062】

このように、プリアンプ時間 $tQSPRE$ においては、正相出力ストロブ信号 $QS_{OUT}=L$ レベル、逆相出力ストロブ信号 $\neg QS_{OUT}=H$ レベルとすることにより、正相出力ストロブ信号 $QS_{OUT}$ 及び逆相出力ストロブ信号 $\neg QS_{OUT}$ を受ける回路が差動アンプの場合、内部レベルを決定させ、出力データ $DQ_{OUT}$ を受信可能状態とさせることができる。

## 【0063】

また、相補出力ストロブ信号  $QS_{OUT}$ 、 $/QS_{OUT}$  の周期の終了を示す相補出力ストロブ信号  $QS_{OUT}$ 、 $/QS_{OUT}$  のクロスポイントの後の一定時間をポストアンブル時間  $tQSPST$  とされ、この時間、正相出力ストロブ信号  $QS_{OUT}$  及び逆相出力ストロブ信号  $/QS_{OUT}$  は、レベルを異にする状態とされる。

## 【0064】

また、正相ストロブ信号線 32 及び逆相ストロブ信号線 33 を駆動する FCRAM 26 のトランジスタは、プリアンブル時間  $tQSPRE$ 、出力ストロブ確定時間、入力ストロブ信号の周期が継続する期間及びポストアンブル時間  $tQSPST$  以外の待機時間の間、オフ状態とされ、正相ストロブ信号線 32 及び逆相ストロブ信号線 33 は、フローティング状態とされ、ハイインピーダンス状態 (Hi-Z) 又はロウインピーダンス状態 (Low-Z) とされる。

## 【0065】

また、本発明の一実施形態においては、相補出力ストロブ信号  $QS_{OUT}$ 、 $/QS_{OUT}$  のクロスポイントは、出力データ  $DQ_{OUT}$  のエッジトリガーポイントを与えるように設定される。

## 【0066】

なお、プリアンブル時間  $tQSPRE$  における相補出力ストロブ信号  $QS_{OUT}$ 、 $/QS_{OUT}$  のレベルは、リードコマンド  $RD-CMD$  に対してデータレイテンシーがある場合には、図 6 に示すように、先頭の出力データ  $DQ_{OUT}=RD1$  の出力時の一定時間前 (たとえば、1 クロック前あるいは半クロック前) にセットするようにしても良い。

## 【0067】

また、相補出力ストロブ信号線と相補入力ストロブ信号線とが別個に設けられている場合においては、相補出力ストロブ信号  $QS_{OUT}$ 、 $/QS_{OUT}$  は、図 7 に示すように、出力データ  $DQ_{OUT}$  が連続する偶数データの場合、待機時間の間、ポストアンブル時間  $tQSPST$  におけるレベルと同一、即ち、正相出力ストロブ信号  $QS_{OUT}=H$  レベル、逆相出力ストロブ信号  $/QS_{OUT}=L$  レベルを維持するようにしても、コントローラチップを受信可能状態とすることについて何ら

問題は生じない。

【0068】

また、相補出力ストロブ信号線と相補入力ストロブ信号線とが別個に設けられている場合においては、相補出力ストロブ信号 $QS_{OUT}$ 、 $/QS_{OUT}$ は、図8に示すように、出力データ $DQ_{OUT}$ が1又は連続する奇数データの場合、待機時間の間、ポストアンプル時間 $tQSPST$ におけるレベルと同一、即ち、正相出力ストロブ信号 $QS_{OUT}=H$ レベル、逆相出力ストロブ信号 $/QS_{OUT}=L$ レベルを維持し、次のリード時におけるプリアンプル時間 $tQSPRE$ の開始時において、元のレベルに戻すように制御する場合には、コントローラチップを受信可能状態とすることについて何ら問題は生じない。

【0069】

また、相補出力ストロブ信号 $QS_{OUT}$ 、 $/QS_{OUT}$ のクロスポイントは、図9に示すように、出力データ $DQ_{OUT}$ のセンタポイントを与えるように設定しても良い。

【0070】

図10はFCRAM26へのデータ入力時における相補クロック信号 $CLK$ 、 $/CLK$ と、相補入力ストロブ信号 $QS_{IN}$ 、 $/QS_{IN}$ と、連続2ビットの入力データ $DQ_{IN}=WD1$ 、 $WD2$ との関係を示す波形図である。

【0071】

即ち、本発明の電子装置の一実施形態においては、相補入力ストロブ信号 $QS_{IN}$ 、 $/QS_{IN}$ の周期の開始を示す相補入力ストロブ信号 $QS_{IN}$ 、 $/QS_{IN}$ の先頭のクロスポイントの前の一定時間をプリアンプル時間 $tQSPRE$ とされる。

【0072】

そして、プリアンプル時間 $tQSPRE$ においては、正相入力ストロブ信号 $QS_{IN}=L$ レベル、逆相入力ストロブ信号 $/QS_{IN}=H$ レベルとされ、このレベルは、ライトコマンド $WR-CMD$ をトリガーとしてセットされる。

【0073】

このように、プリアンプル時間 $tQSPRE$ においては、正相入力ストロブ信号 $QS_{IN}=L$ レベル、逆相入力ストロブ信号 $/QS_{IN}=H$ レベルとすることにより

、正相入力ストローブ信号  $QS_{IN}$  及び逆相入力ストローブ信号  $\neg QS_{IN}$  を受ける回路が差動アンプの場合、内部レベルを決定させ、入力データ  $DQ_{IN}$  を受信可能状態とさせることができる。

【0074】

また、相補入力ストローブ信号  $QS_{IN}$ 、 $\neg QS_{IN}$  の周期の終了を示す相補入力ストローブ信号  $QS_{IN}$ 、 $\neg QS_{IN}$  のクロスポイントの後の一定時間をポストアンブル時間  $tQSPST$  とされ、この時間、正相入力ストローブ信号  $QS_{IN}$  及び逆相入力ストローブ信号  $\neg QS_{IN}$  は、レベルを異にする状態とされる。

【0075】

また、正相ストローブ信号線 32 及び逆相ストローブ信号線 33 を駆動するコントローラチップのトランジスタは、待機時間の間、オフ状態とされ、正相ストローブ信号線 32 及び逆相ストローブ信号線 33 は、フローティング状態とされハイインピーダンス状態 (Hi-Z) 又はロウインピーダンス状態 (Low-Z) とされる。

【0076】

また、本発明の一実施形態においては、相補入力ストローブ信号  $QS_{IN}$ 、 $\neg QS_{IN}$  のクロスポイントは、入力データ  $DQ_{IN}$  のエッジトリガーポイントを与えるように設定される。

【0077】

なお、プリアンブル時間  $tQSPRE$  における相補入力ストローブ信号  $QS_{IN}$ 、 $\neg QS_{IN}$  のレベルは、図 11 に示すように、ライトコマンド  $WR-CMD$  に対してデータレイテンシーがある場合には、先頭の入力データ  $DQ_{IN}=WD1$  の出力時の一定時間前にセットするようにしても良い。

【0078】

また、相補出力ストローブ信号線と相補入力ストローブ信号線とが別個に設けられている場合においては、相補入力ストローブ信号  $QS_{IN}$ 、 $\neg QS_{IN}$  は、図 12 に示すように、出力データ  $DQ_{IN}$  が連続する偶数データの場合、待機時間の間、ポストアンブル時間  $tQSPST$  におけるレベルと同一、即ち、正相入力ストローブ信号  $QS_{IN}=L$  レベル、逆相入力ストローブ信号  $\neg QS_{IN}=H$  レベルを維持す

るようにしても、FCRAMを受信可能状態とすることについて何ら問題は生じない。

#### 【0079】

また、相補出力ストロブ信号線と相補入力ストロブ信号線とが別個に設けられている場合においては、相補入力ストロブ信号 $QS_{IN}$ 、 $/QS_{IN}$ は、図13に示すように、出力データ $DQ_{IN}$ が1又は連続する奇数データの場合、待機時間の間、ポストアンプル時間  $tQSPST$  におけるレベルと同一、即ち、正相入力ストロブ信号 $QS_{IN}=H$ レベル、逆相入力ストロブ信号 $/QS_{IN}=L$ レベルを維持し、次のリード時におけるプリアンプル時間  $tQSPRE$  の開始時において、元のレベルに戻すように制御する場合には、FCRAMを受信可能状態とすることについて何ら問題は生じない。

#### 【0080】

また、相補入力ストロブ信号 $QS_{IN}$ 、 $/QS_{IN}$ のクロスポイントは、図14に示すように、入力データ $DQ_{IN}$ のセンタポイントを与えるように設定しても良い。

#### 【0081】

以上のように、本発明の電子装置の一実施形態においては、出力ストロブ信号として、相補出力ストロブ信号 $QS_{OUT}$ 、 $/QS_{OUT}$ を使用しているもので、相補出力ストロブ信号 $QS_{OUT}$ 、 $/QS_{OUT}$ の立ち上がり時間と立ち下がり時間とが異なる場合であっても、相補出力ストロブ信号 $QS_{OUT}$ 、 $/QS_{OUT}$ の周期（相補出力ストロブ信号 $QS_{OUT}$ 、 $/QS_{OUT}$ のクロスポイント間の時間）を一定とし、出力データ $DQ_{OUT}$ の確定時間（確定幅）を一定とすることができる。

#### 【0082】

また、入力ストロブ信号として、相補入力ストロブ信号 $QS_{IN}$ 、 $/QS_{IN}$ を使用することにより、相補入力ストロブ信号 $QS_{IN}$ 、 $/QS_{IN}$ の立ち上がり時間と立ち下がり時間とが異なる場合であっても、相補入力ストロブ信号 $QS_{IN}$ 、 $/QS_{IN}$ の周期（相補出力ストロブ信号 $QS_{IN}$ 、 $/QS_{IN}$ のクロスポイント間の時間）を一定とし、入力データ $DQ_{IN}$ の確定時間（確定幅）を一定

とすることができる。

【0083】

したがって、本発明の電子装置の一実施形態によれば、ストロブ周期が短くなっても、たとえば、ストロブ周期が4 ns以下となっても、データ $DQ_{OUT}$ 、 $DQ_{IN}$ のやりとりを確実に行うことができる。

【0084】

また、FCRAM26は、選択されたバンクからバースト長に対応するビット長のデータを平行に読出し、これを平行/シリアル変換回路47に伝送してシリアル化してデータ出力バッファ48に転送するように構成し、リード動作の高速化を図るようにしているが、前述のように、相補出力ストロブ信号 $QS_{OUT}$ 、 $\overline{QS_{OUT}}$ の周期を一定とし、出力データ $DQ_{OUT}$ の確定時間を一定とすることができるので、平行/シリアル変換回路47の動作に余裕を持たせることができる。

【0085】

また、FCRAM26は、データ入力バッファ49の後段にシリアル/平行変換回路50を設け、データ入力バッファ49からバースト長に対応するビット長の入力データ $DQ_{IN}$ を順にシリアル/平行変換回路50に転送し、これらを平行化して選択されたバンクに伝送して平行に書込みを行うことができるように構成し、ライト動作の高速化を図るようにしているが、前述のように、相補入力ストロブ信号 $QS_{IN}$ 、 $\overline{QS_{IN}}$ の周期を一定とし、入力データ $DQ_{IN}$ の確定時間を一定とすることができるので、シリアル/平行変換回路50の動作に余裕を持たせることができる。

【0086】

【発明の効果】

以上のように、本発明中、第1の発明の電子装置によれば、ストロブ信号として、相補ストロブ信号を使用することにより、相補ストロブ信号の立ち上がり時間と立ち下がり時間とが異なる場合であっても、ストロブ周期を一定とし、データの確定時間を一定とすることができるので、ストロブ周期が短くなっても、データのやりとりを確実に行うことができる。

【0087】

また、本発明中、第2の発明の半導体記憶装置によれば、ストロブ出力バッファとして、相補出力ストロブ信号を出力するストロブ出力バッファを有すると共に、ストロブ出力バッファとして、相補入力ストロブ信号を入力して入力データの取り込みを制御するストロブ入力バッファを有しているのもので、第1の発明に使用することができる。

【図面の簡単な説明】

【図1】

本発明の電子装置の一実施形態の一部分を示す回路図である。

【図2】

本発明の電子装置の一実施形態が備えるFCRAM（本発明の半導体記憶装置の一実施形態）の要部を示す回路図である。

【図3】

本発明の電子装置の一実施形態が備えるFCRAM（本発明の半導体記憶装置の一実施形態）が備えるデータ出力バッファ及びストロブ出力バッファの構成を示す回路図である。

【図4】

本発明の電子装置の一実施形態が備えるFCRAM（本発明の半導体記憶装置の一実施形態）が備えるデータ入力バッファ及びストロブ入力バッファの構成を示す回路図である。

【図5】

本発明の電子装置の一実施形態が備えるFCRAM（本発明の半導体記憶装置の一実施形態）からのデータ出力時における相補クロック信号と、相補出力ストロブ信号と、連続2ビットの出力データとの関係を示す波形図である。

【図6】

本発明の電子装置の一実施形態が備えるFCRAM（本発明の半導体記憶装置の一実施形態）からのデータ出力時のプリアンブル時間における相補出力ストロブ信号のレベルのセット方法の他の例を説明するための波形図である。

【図7】



本発明の電子装置の一実施形態が備える FCRAM（本発明の半導体記憶装置の一実施形態）の待機時間における相補出力ストローク信号のレベル設定方法の他の例を説明するための波形図である。

【図 8】

本発明の電子装置の一実施形態が備える FCRAM（本発明の半導体記憶装置の一実施形態）の待機時間における相補出力ストローク信号のレベル設定方法の更に他の例を説明するための波形図である。

【図 9】

相補出力ストローク信号のクロスポイントが出力データのセンタポイントを与える場合を示す波形図である。

【図 10】

本発明の電子装置の一実施形態が備える FCRAM（本発明の半導体記憶装置の一実施形態）へのデータ入力時における相補クロック信号と、相補入力ストローク信号と、連続 2 ビットの入力データとの関係を示す波形図である。

【図 11】

本発明の電子装置の一実施形態が備える FCRAM（本発明の半導体記憶装置の一実施形態）へのデータ入力時のプリアンプル時間における相補入力ストローク信号のレベルのセット方法の他の例を説明するための波形図である。

【図 12】

本発明の電子装置の一実施形態が備えるコントローラチップの待機時間における相補入力ストローク信号のレベル設定方法の他の例を説明するための波形図である。

【図 13】

本発明の電子装置の一実施形態が備えるコントローラチップの待機時間における相補入力ストローク信号のレベル設定方法の更に他の例を説明するための波形図である。

【図 14】

相補入力ストローク信号のクロスポイントが入力データのセンタポイントを与える場合を示す波形図である。

【図 15】

従来の電子装置の一例の一部分を示す回路図である。

【図 16】

図 15 に示す従来の電子装置が備える DDR-SDRAM の要部を示す回路図である。

【図 17】

図 15 に示す従来の電子装置が備える DDR-SDRAM からのデータ出力時における相補クロック信号と、出力ストロブ信号と、出力データとの関係を示す波形図である。

【図 18】

図 15 に示す従来の電子装置が備える DDR-SDRAM へのデータ入力時における相補クロック信号と、入力ストロブ信号と、入力データとの関係を示す波形図である。

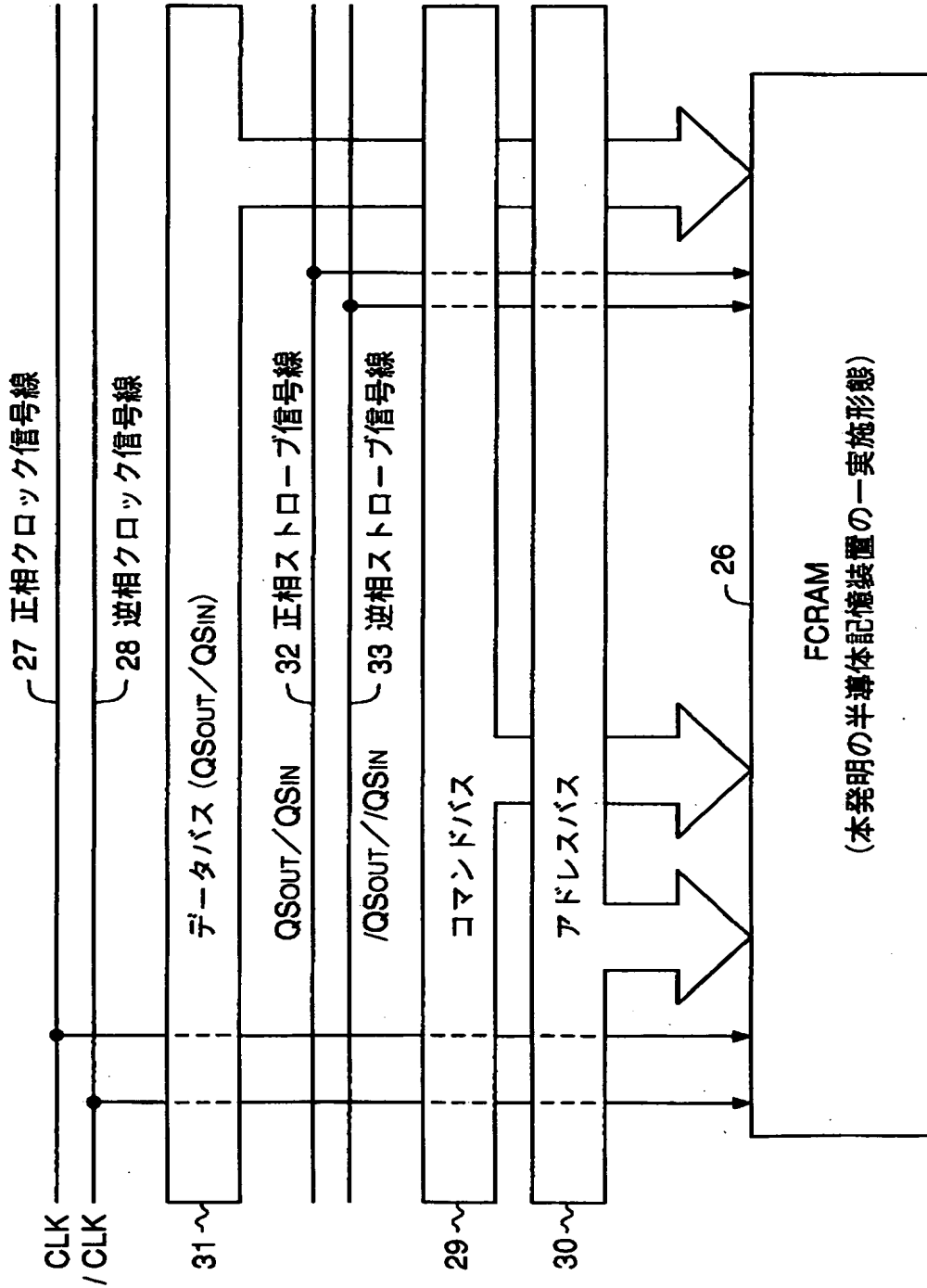
【符号の説明】

CLK、/CLK	クロック信号
QS <sub>OUT</sub> 、/QS <sub>OUT</sub>	相補出力ストロブ信号
DS <sub>IN</sub> 、/DS <sub>IN</sub>	相補入力ストロブ信号

【書類名】 図面

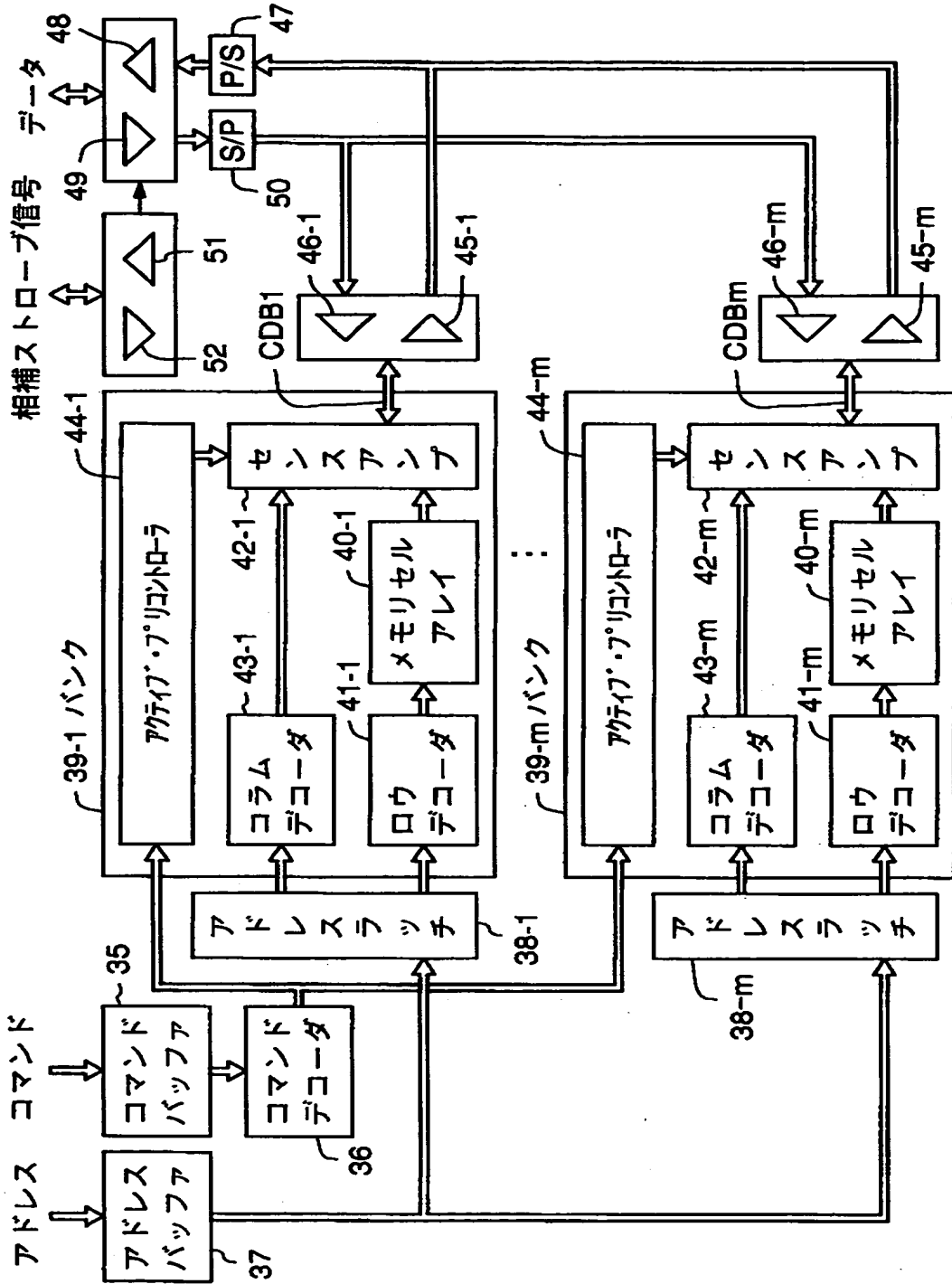
【図 1】

本発明の電子装置の一実施形態の一部を示す回路図



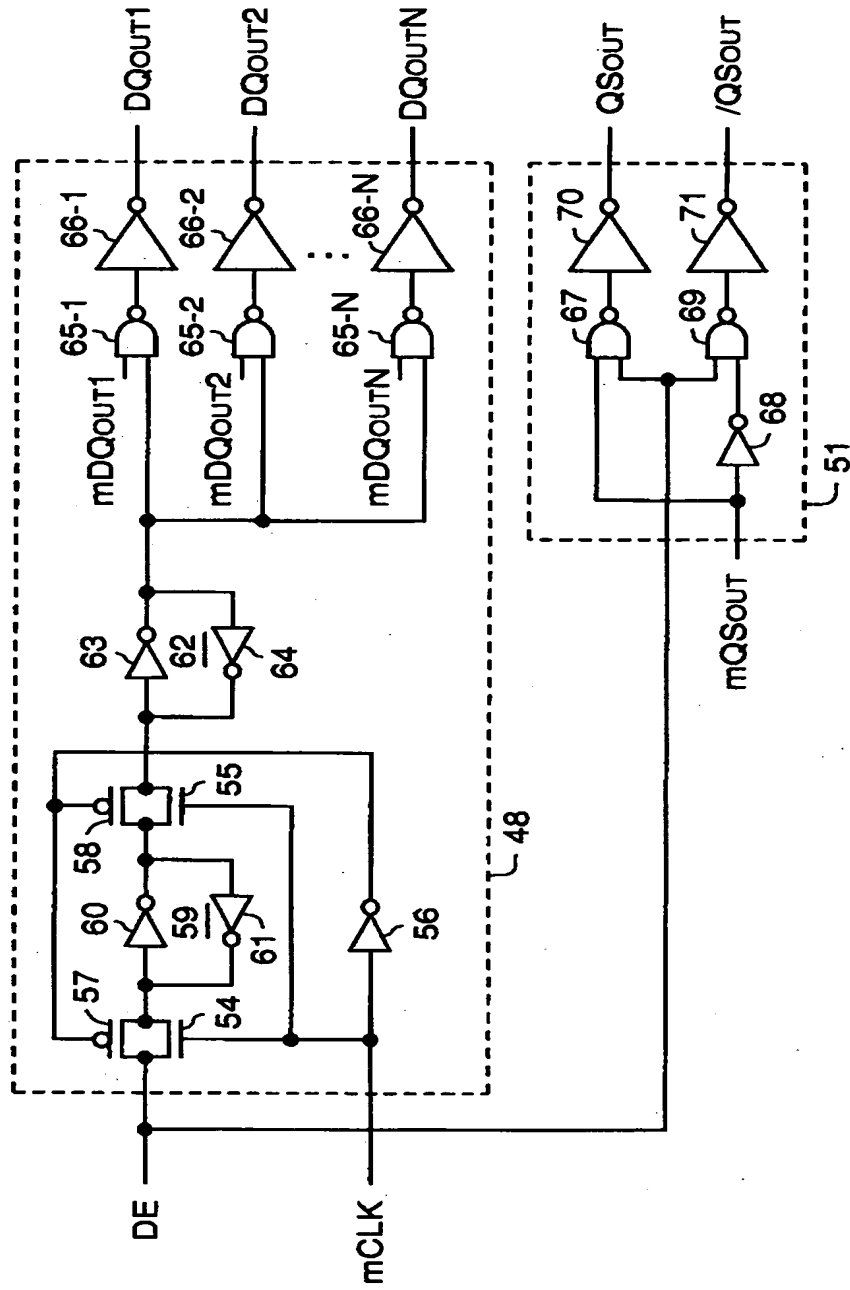
【図 2】

FCRAM (本発明の半導体記憶装置の一実施形態) 26の要部を示す回路図



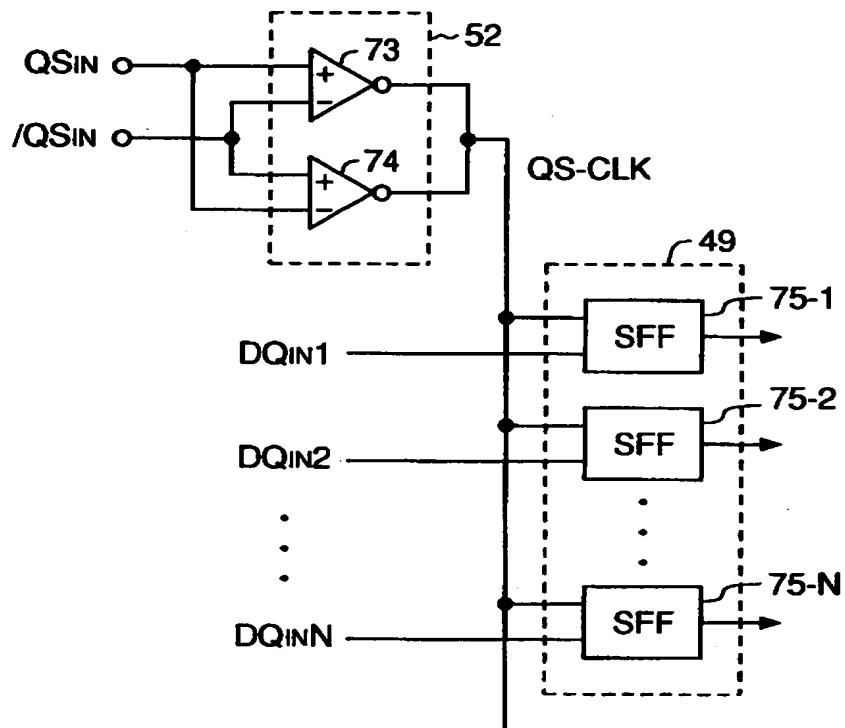
【図 3】

データ出力バッファ 48 及びストロブ出力バッファ 51  
の構成を示す回路図



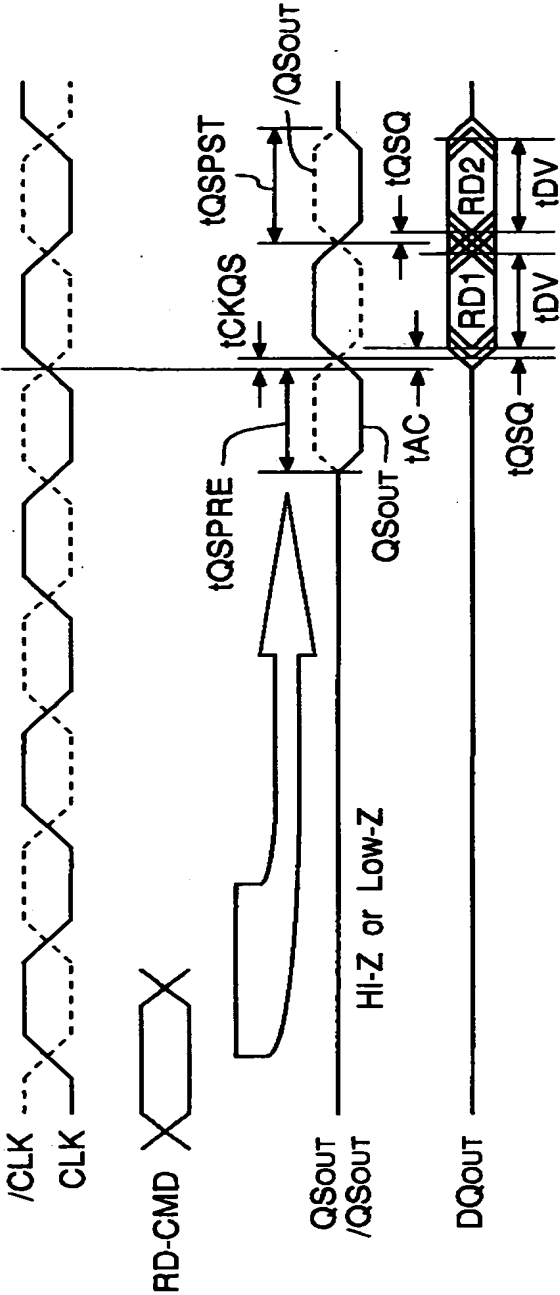
【図 4】

データ入力バッファ 49 及びストローク入力  
バッファ 52 の構成を示す回路図



【図 5】

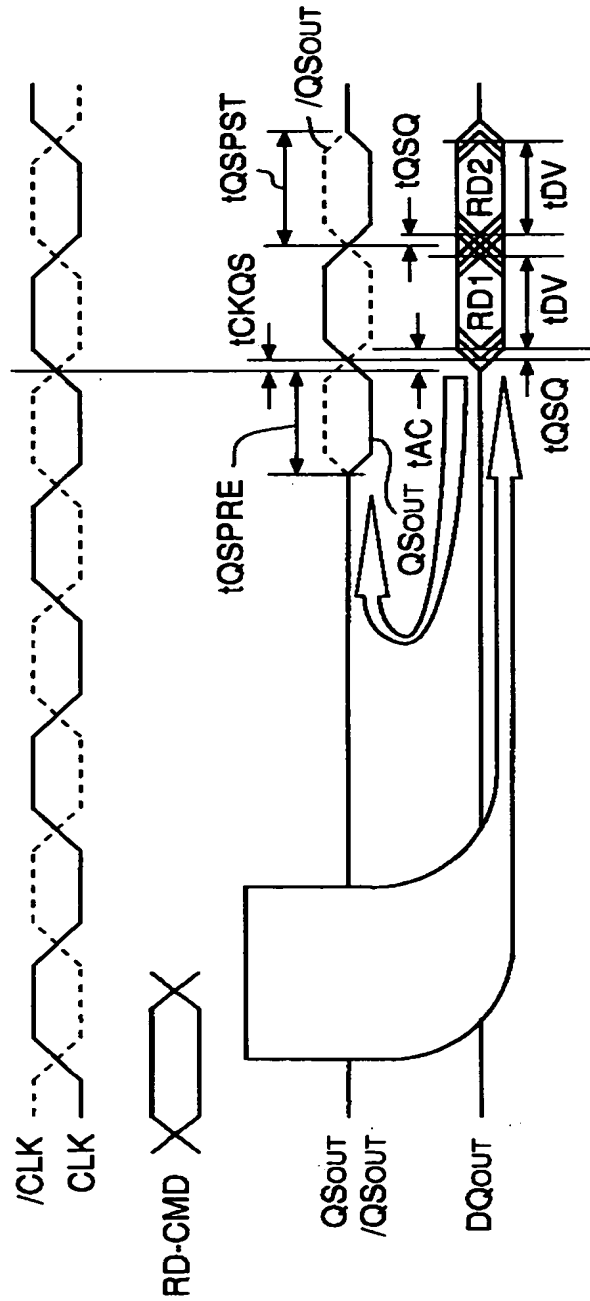
FCRAM26からのデータ出力時における相補クロック信号CLK、/CLK  
と、相補出力ストロブ信号QSOUT、/QSOUTと、連続2ビットの出力データ  
DQOUT=RD1、RD2との関係を示す波形図



Parameters	Symbol	Parameters	Symbol
QS Access Time from CLK	$t_{\text{CKQS}}$	Data Output Skew from QS	$t_{\text{QSQ}}$
QS Preamble Time	$t_{\text{QSPRE}}$	Data Access Time from QS	$t_{\text{AC}}$
QS Postamble Time	$t_{\text{QSPST}}$	Data Output Valid Time	$t_{\text{DV}}$

【図 6】

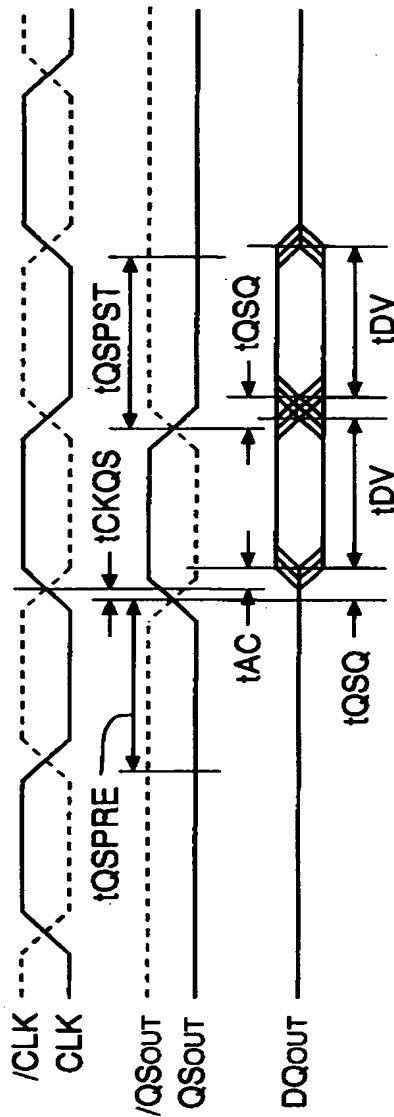
FCRAM26からのデータ出力時のプリアンプル時間における相補出力クロープ  
信号QSOUT、/QSOUTのレベルのセット方法の他の例を説明するための波形図





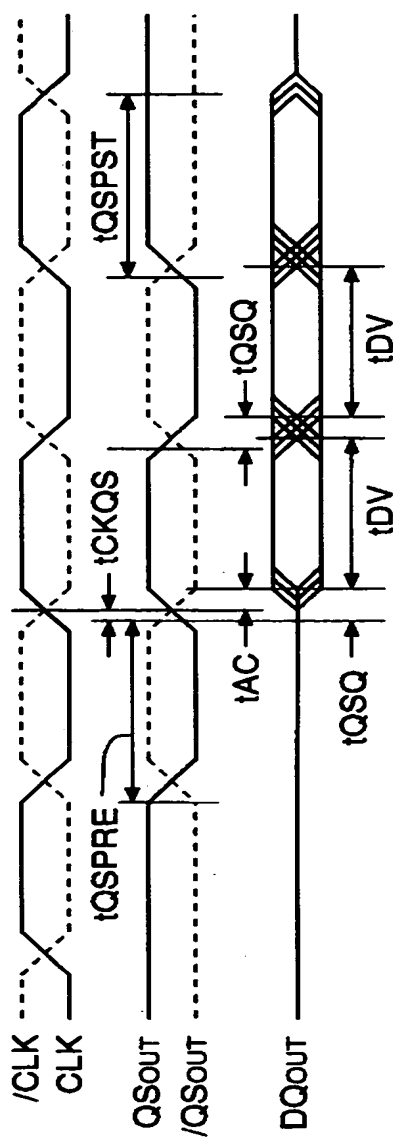
【図 7】

FCRAM26の待機時間における相補出力クロック信号 $Q_{SOUT}$ 、 $Q_{SOUT}$ のレベル設定方法の他の例を説明するための波形図



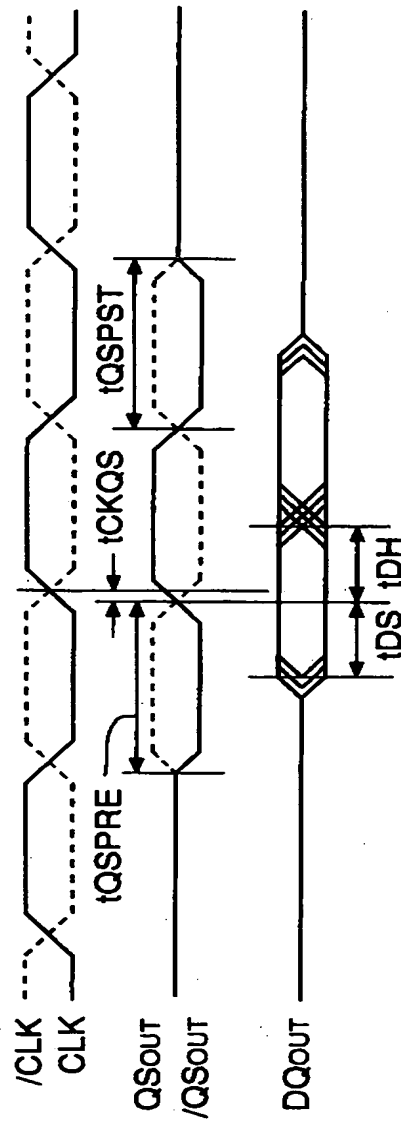
【図 8】

FCRAM26の待機時間における相補出力ストロブ信号QSOUT、  
/QSOUTのレベル設定方法の更に他の例を説明するための波形図



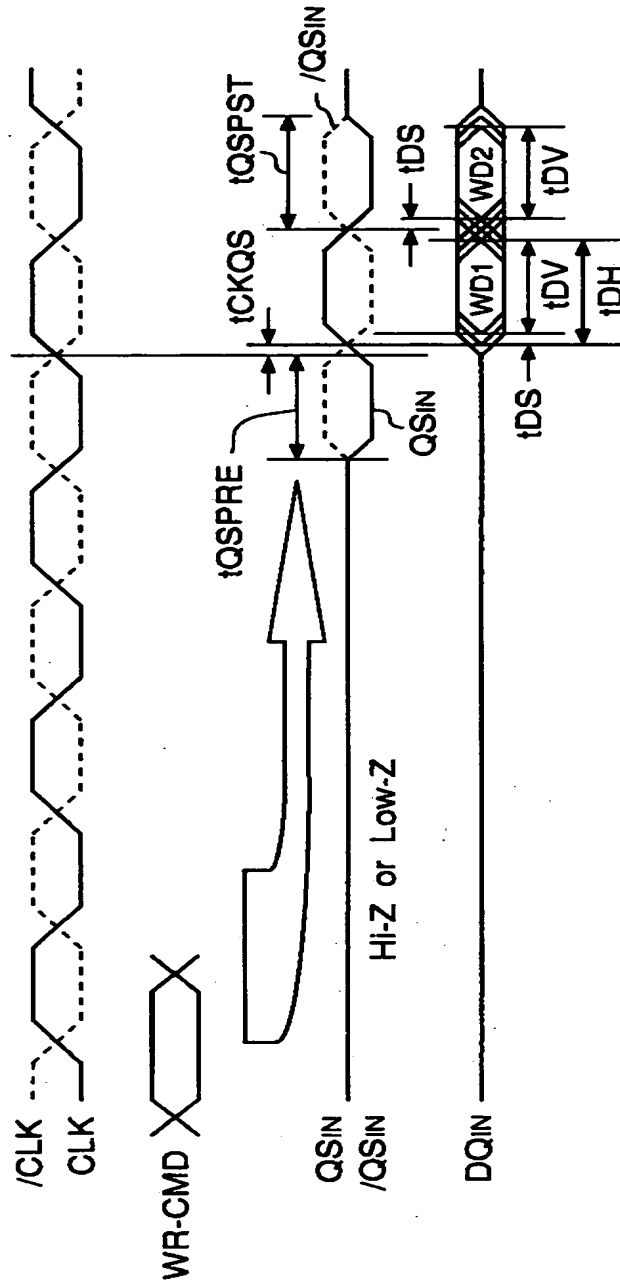
【図9】

相補出力ストロブ信号 $QS_{OUT}$ 、 $QS_{OUT}$ のクロスポイントが  
出力データ $DQ_{OUT}$ のセンタポイントを与える場合を示す波形図



【図 10】

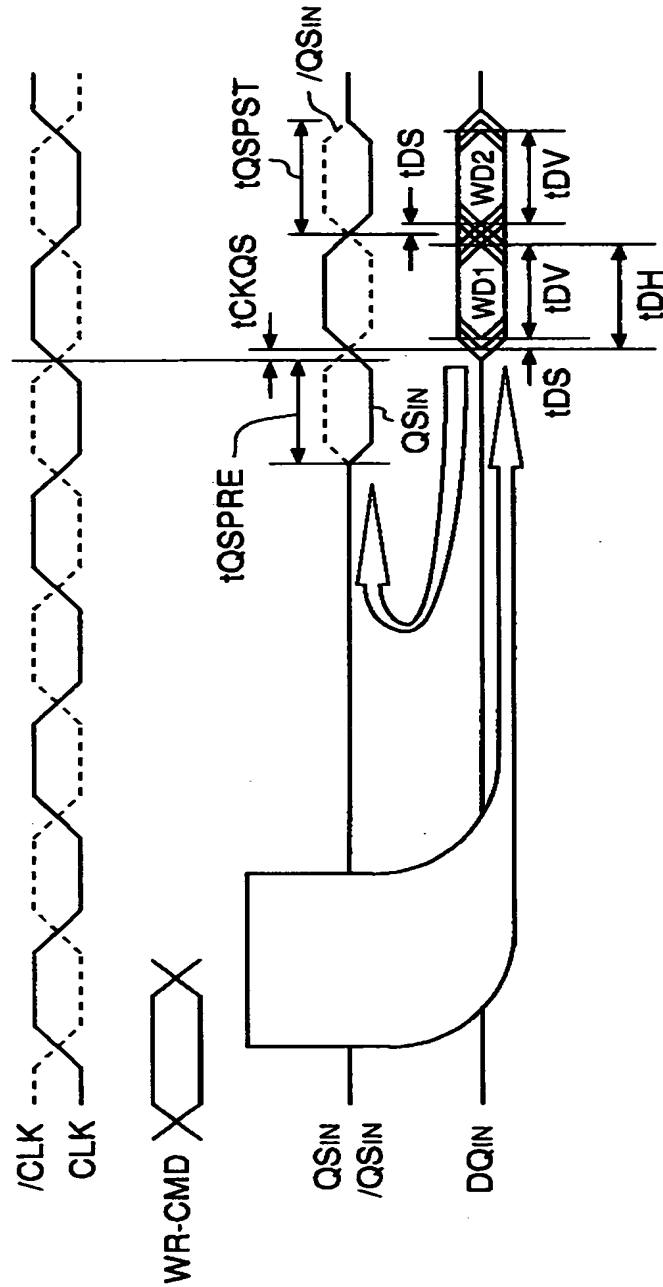
FCRAM26へのデータ入力時における相補クロック信号CLK、/CLK  
と、相補入力カストローブ信号QSIN、/QSINと、連続2ビットの入力データ  
DQIN=WD1、WD2との関係を示す波形図



Parameters	Symbol	Parameters	Symbol
QS Access Time from CLK	tCKQS	Data Input set up from QS	tDH
QS Preamble Time	tQSPRE	Data Input hold Time from QS	tDS
QS Postamble Time	tQSPST		

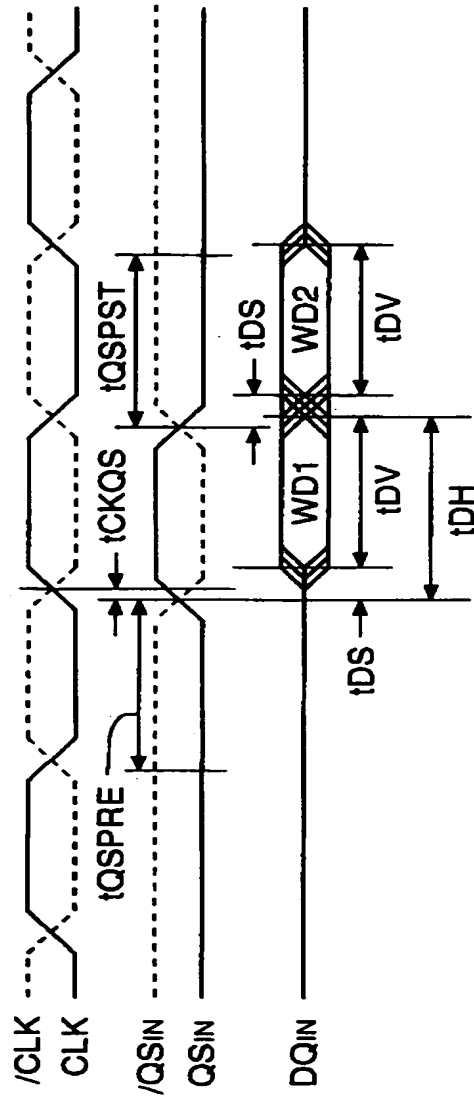
【図 11】

FCRAM26へのデータ入力時のプリアンプル時間における相補入力カストロープ  
信号 $QSIN$ 、 $/QSIN$ のレベルのセット方法の他の例を説明するための波形図



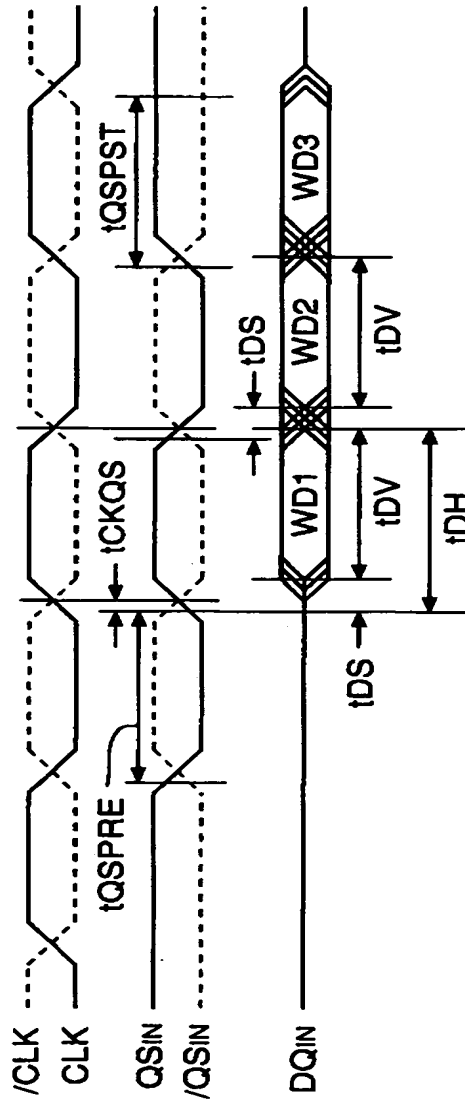
【図 12】

コントローラチップの待機時間における相補入力クロック信号  $Q_{SIN}$ 、  
 $/Q_{SIN}$  のレベル設定方法の他の例を説明するための波形図



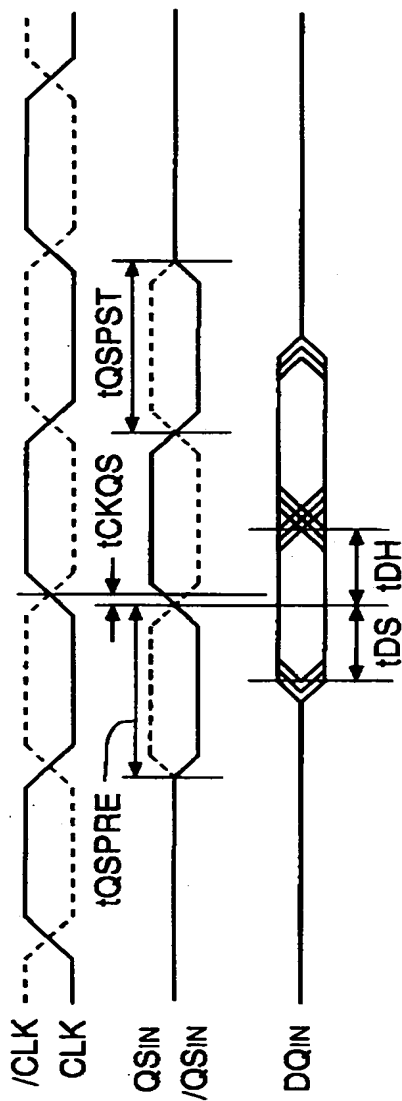
【図 13】

コントローラチップの待機時間における相補入力カストロブ信号Q<sub>SIN</sub>、  
/Q<sub>SIN</sub>のレベル設定方法の更に他の例を説明するための波形図



【図 14】

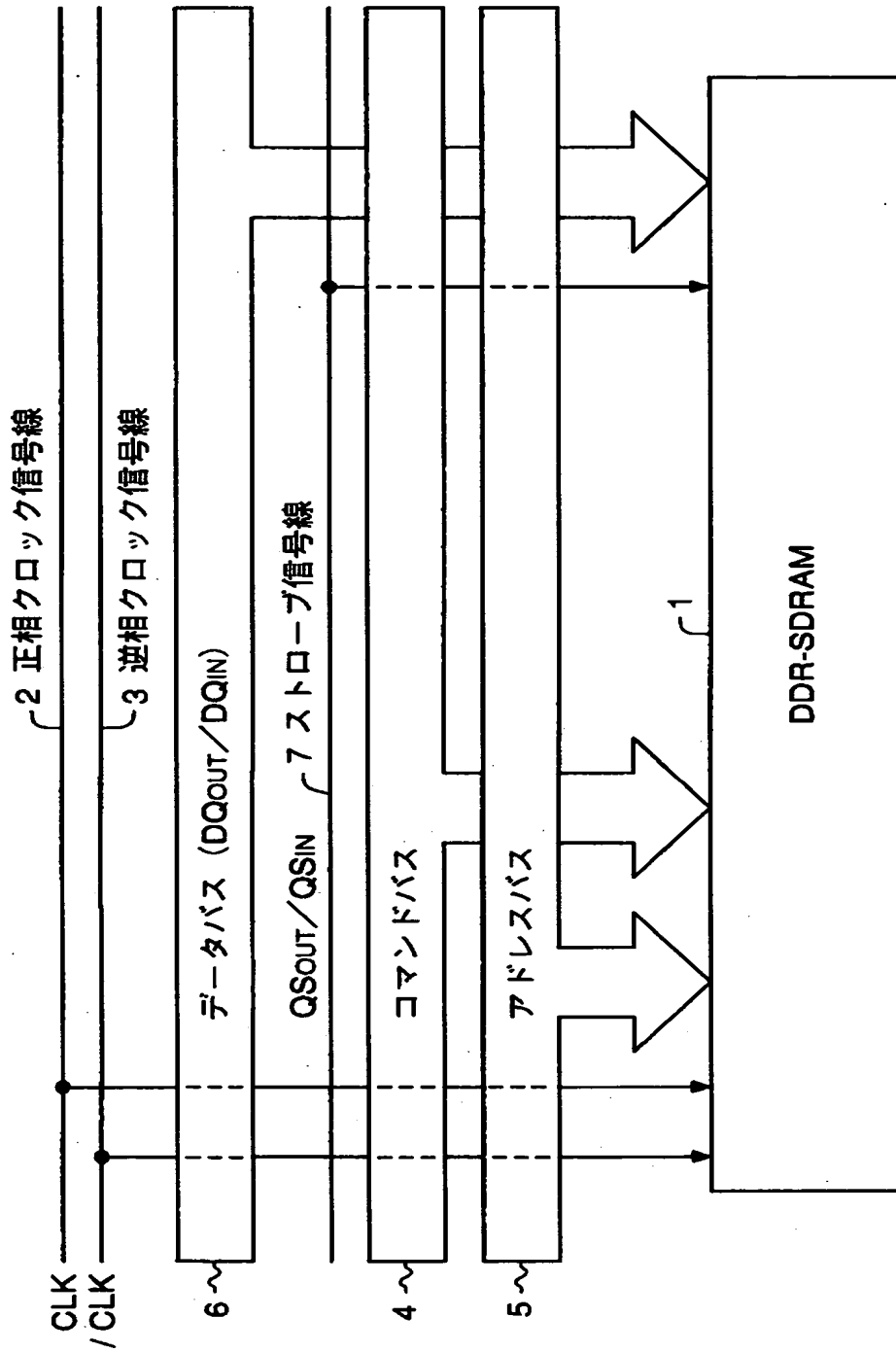
相補入カストロブ信号  $QS_{IN}$ 、 $QS_{IN}$  のクロスポイントが  
入カデータ  $DQ_{IN}$  のセンタポイントを与える場合を示す波形図





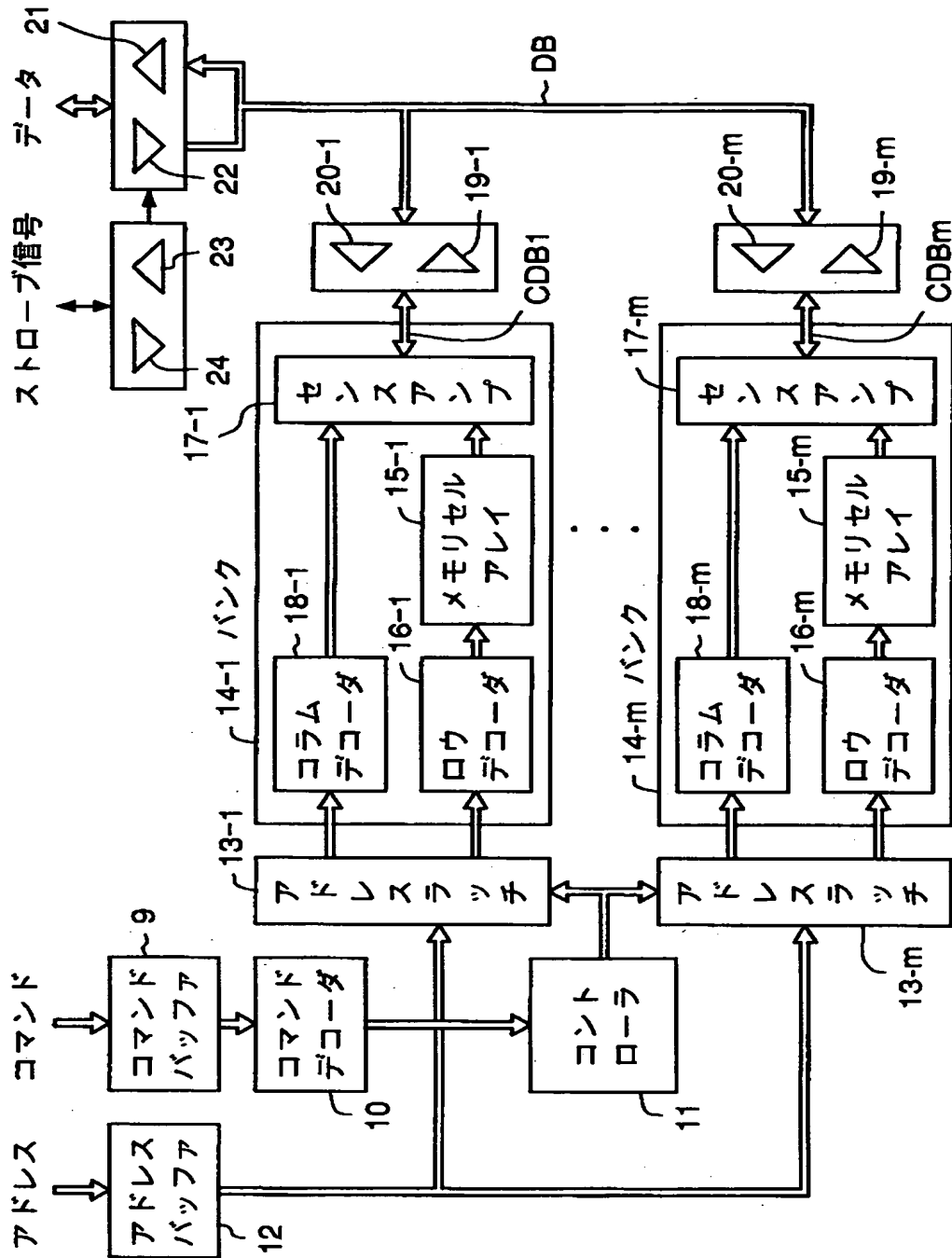
【図 15】

従来の電子装置の一例の一部分を示す回路図



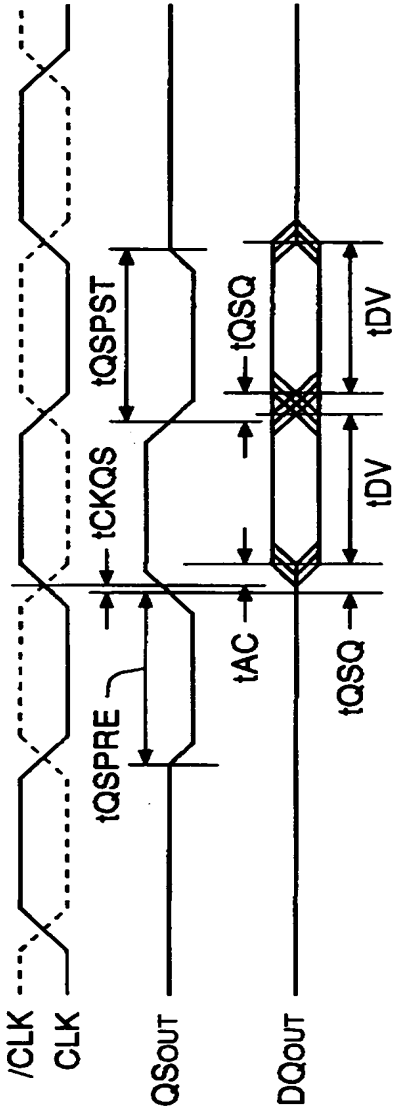
【図 16】

DDR-SDRAM1の要部を示す回路図



【図 17】

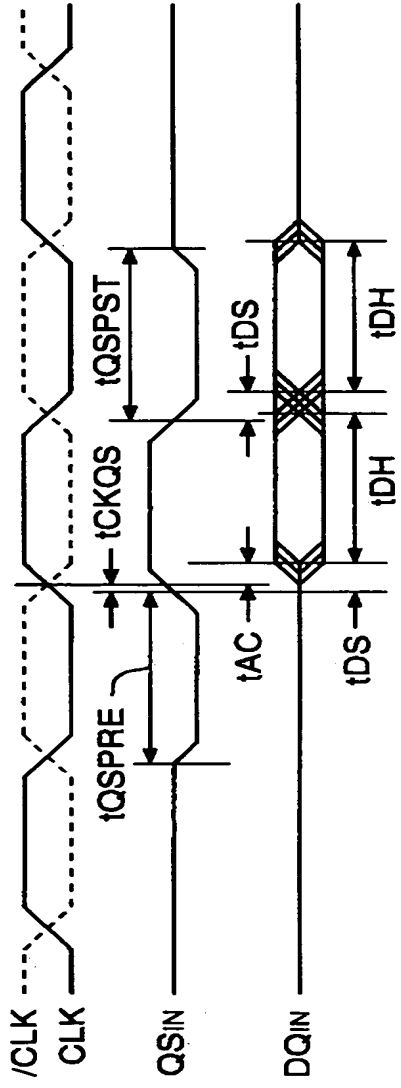
DDR-SDRAM1 からのデータ出力時における相補クロック  
信号CLK、/CLKと、出力ストロブ信号QSoutと、出力  
データDQoutとの関係を示す波形図



Parameters	Symbol	Parameters	Symbol
QS Access Time from CLK	tCKQS	Data Output Skew from QS	tQSQ
QS Preamble Time	tQSPRE	Data Access Time from QS	tAC
QS Postamble Time	tQSPST	Data Output Valid Time	tDV

【図 18】

DDR-SDRAM1 へのデータ入力時における相補クロック信号CLK、/CLK  
と、入カストローブ信号QSINと、入力データDQINとの関係を示す波形図



Parameters	Symbol	Parameters	Symbol
QS Access Time from CLK	tCKQS	Data Input set up time from QS	tDH
QS Preamble Time	tQSPRE	Data Input hold time from QS	tDS
QS Postamble Time	tQSPST		

【書類名】 要約書

【要約】

【課題】 出力データと共に出力データの取り込みタイミングを知らせる出力ストロブ信号を出力し、入力データの取り込みタイミングを知らせる入力ストロブ信号に同期させて入力データの取り込みを行う半導体記憶装置を備える電子装置に関し、ストロブ周期が短い場合であっても、データのやりとりを確実に行うことができるようにする。

【解決手段】 ストロブ信号として相補ストロブ信号  $QS_{OUT}$ 、 $\overline{QS_{OUT}}$ 、 $QS_{IN}$ 、 $\overline{QS_{IN}}$  を使用し、相補ストロブ信号  $QS_{OUT}$ 、 $\overline{QS_{OUT}}$ 、 $QS_{IN}$ 、 $\overline{QS_{IN}}$  の立ち上がり時間と立ち下がり時間とが異なる場合であっても、ストロブの確定時間を一定時間とし、データ  $DQ_{OUT}$ 、 $DQ_{IN}$  の確定時間を一定とする

【選択図】 図 1

【書類名】  
【訂正書類】

職権訂正データ  
特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】

000005223

【住所又は居所】

神奈川県川崎市中原区上小田中4丁目1番1号

【氏名又は名称】

富士通株式会社

【代理人】

申請人

【識別番号】

100092174

【住所又は居所】

東京都渋谷区笹塚2-1-10 スカイプラザ笹塚

304 平戸特許事務所

【氏名又は名称】

平戸 哲夫

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社